

Docket No.: 67162-023

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Tadato YAMAGATA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 24, 2003	:	Examiner: Unknown
	:	
For: DYNAMIC ASSOCIATIVE MEMORY DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-005791, filed January 14, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: September 24, 2003



日 本 国 特 許 庁

JAPAN PATENT OFFICE

67162-023
YAMAGATA
September 24, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月14日

出 願 番 号

Application Number:

特願2003-005791

[ST.10/C]:

[JP2003-005791]

出 願 人

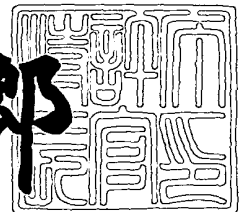
Applicant(s):

三菱電機株式会社

2003年 2月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3005665

【書類名】 特許願

【整理番号】 542864JP01

【提出日】 平成15年 1月14日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 15/04

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 山形 整人

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100101454

【弁理士】

【氏名又は名称】 山田 卓二

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ装置

【特許請求の範囲】

【請求項 1】 ワードラインの活性化によりオンの状態に切り換る第 1 トランスファークゲートを介してビット線 B L 又はビット線 / B L に接続され、電源に応じた電圧の供給されるセルプレートに有するデータ保存用のキャパシタと、上記キャパシタの電圧供給側と反対の側に位置する記憶ノードの電位に応じてオンの状態になる 1 以上の第 2 トランスファークゲートが、ビット線 B L とビット線 / B L の間に直列に接続される構成をとるメモリセルで成るメモリセルアレイを用いるメモリ装置において、

外部又は内部において生成されるリセット信号に応じて、上記 1 以上の第 2 トランスファークゲートの内、少なくとも 1 つのトランスファークゲートをオフの状態にするように、記憶ノードの電位を制御するメモリセル初期化回路を備えることを特徴とするメモリ装置。

【請求項 2】 請求項 1 に記載のメモリ装置において、

上記メモリセル初期化回路は、リセット信号に応じて、上記メモリセルのワードラインを活性化し、上記キャパシタの接続されるビット線 B L 又はビット線 / B L の少なくとも一方の電位を制御して、上記ビット線 B L とビット線 / B L の間に直列に接続された 1 以上の第 2 トランスファークゲートの内、少なくとも 1 つのトランスファークゲートをオフの状態にするように記憶ノードの電位を制御するメモリ装置。

【請求項 3】 請求項 2 に記載のメモリ装置において、

上記メモリセルは、上記データ保存用のキャパシタとして、ワードラインの活性化によりビット線 B L に接続される第 1 のキャパシタと、ビット線 / B L に接続される第 2 のキャパシタを備え、かつ、上記 1 以上の第 2 トランスファークゲートとして、第 1 及び第 2 キャパシタの記憶ノードに各ゲートが接続され、ビット線 B L とビット線 / B L の間に互いに直列に接続された 2 つのトランスファークゲートを備え、

上記メモリセル初期化回路は、リセット信号に応じて上記メモリセルのワード

ラインを活性化すると共に、上記メモリ装置がビット線BLとビット線／BLの間の電位差を増幅する為に備えるセンスアンプを活性化することにより、ビット線BL及びビット線／BLの一方の電位をHighレベルにし、他方の電位をLowレベルにして上記直列に接続された2つのトランスファークロスの内、少なくとも1つのトランスファークロスをオフの状態にするように記憶ノードの電位を制御するメモリ装置。

【請求項4】 請求項1乃至請求項3の何れかに記載のメモリ装置において

上記メモリ初期化回路は、リセット信号に応じて上記メモリセルのデータ保存用のキャパシタの記憶ノードの電位を0Vにするメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダイナミック型連想メモリセルを用いた連想メモリ装置に関する。

【0002】

【従来の技術】

従来より、大量のデータに対する検索処理に適したメモリ装置としてCAM (Content Addressable Memory) と呼ばれる連想メモリ装置が知られている。連想メモリ装置は、外部より入力された検索データと一致するデータの存在を調べ、一致するデータが存在する場合には当該データの所在するアドレスのデータを出力する。特に人工知能やデータベースシステム等、一致検出動作を頻繁に行う必要のある分野では、完全並列型CAMが有望視されている。当該完全並列型CAMは、検索データとメモリに記憶しているデータとの比較を全てのビットについて並列に実行するものである。特許文献1には、完全並列型CAMとして、一致検出機能付きのダイナミック型メモリセルを用いた連想メモリ装置が開示されている。

【0003】

【特許文献1】

特開平5-298891号公報

【0004】

【発明が解決しようとする課題】

特許文献1の連想メモリ装置で用いられる一致検出機能付きのダイナミック型メモリセルは、Proceedings of CICC '91, pp. 10-13にも開示されている周知のものであり、電源電圧に応じた電圧の供給されるセルプレートに有するデータ保存用のキャパシタと、当該キャパシタに記憶しているデータと検索データとの一致検出回路を少なくとも備えるものである。

【0005】

より具体的には、一端が電源供給端子に接続され、 $1/2 V_{cc}$ の電源電圧にセルプレート電位が追従する第1及び第2のキャパシタと、第1キャパシタとビット線BLの間、及び、第2キャパシタとビット線/B L（“/”は、データの読み書きを行う際、ビット線BLの反対の電位レベルに設定されるビット線であることを意味する。以下、同じ。）の間をワードラインの活性化に応じて通電させる第1及び第2のトランスファークラップと、ビット線BLとビット線/B Lの間に2個直列に設けられ、上記第1キャパシタの $1/2 V_{cc}$ の電源電圧の印加される側とは反対の側に位置する記憶ノードの電位に応じてオンの状態に切り換える第3のトランスファークラップ及び上記第2キャパシタの $1/2 V_{cc}$ の電源電圧の印加される側とは反対の側に位置する記憶ノードの電位に応じてオンの状態に切り換える第4のトランスファークラップと、上記第3及び第4のトランスファークラップの接点と、一致検出時にデータの一致/不一致の結果信号が流れるマッチ線との間に設けられ、ダイオード接続される第5のトランスファークラップとで構成される。

【0006】

電源投入に伴い、上記第1及び第2キャパシタの $1/2 V_{cc}$ の電源電圧の印加される側とは反対の側に位置する記憶ノードの電位も高くなる。これにより、上記第3及び第4のトランスファークラップがオンの状態となり、ビット線BLとビット線/B Lの間が通電状態になってしまう。この場合、例えば、データの書き込みを行っても、完全に充電されるべき第1又は第2キャパシタが不完全な状態で充電され、完全に放電されるべき第2又は第1キャパシタが僅かに充電され

ることになる。このため、例えば、第1キャパシタにHighレベルのデータを書き込んだはずが、Lowレベルのデータが書き込まれていると誤って読み出されることがある。

【0007】

本発明は、電源投入時にビット線BLとビット線／BLとの間が通電状態になることにより生じる、例えば、データの書き込みの誤動作を防止する機能を備えた記憶装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明のメモリ装置は、ワードラインの活性化によりオンの状態に切り換える第1トランスファークゲートを介してビット線BL又はビット線／BLに接続され、電源に応じた電圧の供給されるセルプレートに有するデータ保存用のキャパシタと、上記キャパシタの電圧供給側と反対の側に位置する記憶ノードの電位に応じてオンの状態になる1以上の第2トランスファークゲートが、ビット線BLとビット線／BLの間に直列に接続される構成をとるメモリセルで成るメモリセルアレイを用いるメモリ装置において、外部又は内部において生成されるリセット信号に応じて、上記1以上の第2トランスファークゲートの内、少なくとも1つのトランスファークゲートをオフの状態にするように、記憶ノードの電位を制御するメモリセル初期化回路を備えることを特徴とするメモリ装置。

【0009】

【発明の実施の形態】

(1) 発明の概要

本発明のメモリ装置は、電源電圧に応じた電圧の供給されるセルプレートを有するデータ保存用のキャパシタと、当該キャパシタに記憶しているデータと検索データとの一致検出回路とを少なくとも備える、いわゆる一致検出機能付きのダイナミック型メモリセルを用いる連想メモリの内、上記キャパシタの電圧が供給される側とは反対の側に位置する記憶ノードの電位に応じてオンの状態になる1以上のトランスファークゲートがビット線BLとビット線／BL（“／”は、データの読み書きを行う際、ビット線BLの反対の電位レベルに設定されるビット線

であることを意味する。以下、同じ。)の間に直列に接続されている構成のメモリセルを用いる連想メモリ装置において、外部又は内部で生成するリセット信号 R S T に応じて、上記記憶ノードの電位を、ビット線 B L とビット線 / B L との間が通電状態とならない様に、上記 1 以上のトランスファークゲートの内、少なくとも 1 つのトランスファークゲートをオフにする十分に低い値、好ましくは、0 V に修正するメモリセル初期化回路を備えることを特徴とする。これにより、例えば電源投入後に誤ったデータの書き込みが行われるのを防止する。

【 0 0 1 0 】

(2) 実施の形態 1

図 1 は、実施の形態 1 に係るダイナミック型連想メモリ装置 1 0 0 の全体構成を示すブロック図である。なお、当該ダイナミック型連想メモリ装置 1 0 0 は、メモリセル初期化回路 1 2 を備える点以外、特開平 4 - 9 7 6 6 9 号公報に開示するダイナミック型連想メモリ装置と同じである。メモリセル初期化回路 1 2 は、電源投入後に外部より入力されるリセット信号 R S T に応じて動作する。このため、メモリセル初期化回路 1 2 以外の各構成ブロックの構成及び動作については簡単に説明するに留める。

【 0 0 1 1 】

ダイナミック型連想メモリ装置 1 0 0 は、mワード×nビット分のメモリセルアレイ 4 及び当該メモリセルアレイ 4 内のビット線の電位を制御するビット線制御部 8 を備える。クロック信号発生器 2 0 は、外部より入力される命令コードをデコードして各ブロックで必要なクロック信号及び制御信号を生成する。

【 0 0 1 2 】

外部より入力されるアドレス信号は、アドレスデコーダ 7 及びマッチ線制御回路 1 1 に入力される。アドレスデコーダ 7 は、ワードライン W L 1 ~ W L m の内、該当するワードラインを H i g h レベルに切り換える。また、マッチ線制御回路 1 1 は、データの読み出し及び一致検出処理を実行する際に一度全てのマッチ線 M L 1 ~ M L m を H i g h レベルに切り換える。

【 0 0 1 3 】

メモリセル初期化回路 1 2 は、電源投入後、外部より入力されるリセット信号

RSTに応じてメモリセルアレイ4の全てのメモリセルのワードラインWL1～WLmをHighレベルに切り換え、ビット線BLの電位をLowレベルに、ビット線／BLの電位をHighレベルに強制的に設定し、全てのメモリセル内に“L”のデータを書き込む。なお、メモリセル初期化回路12の構成については、後に詳しく説明する。

【0014】

検索動作を行う場合、外部より入力されるnビットのデータは、書込／読出回路1を介して検索データレジスタ2に格納される。検索データは、この後、マスクデータレジスタ3、スイッチ回路9、データドライバ／アンプ10、及びビット線制御部8を介してメモリセルアレイ4に入力される。後に説明するが、メモリセルアレイ4は、入力されたnビットのデータが同一のマッチ線ML上、即ち、同一ワードラインWL上に並ぶnビットのデータと一致した場合には、当該マッチ線MLをHighレベルにし、不一致の場合にはLowレベルにしてマッチフラグレジスタ5に出力する。

【0015】

マッチフラグレジスタ5は、メモリセルアレイ4から出力されるマッチ線ML1～MLmの信号レベルを表すmビットデータを記録保持する。プライオリティエンコーダ6は、マッチフラグレジスタ5に記録されたmビットのデータに基づいて、信号レベルがHighレベルであったマッチ線から、予め決められた優先順位に従い1本のマッチ線を特定し、当該マッチ線の位置を特定するマッチアドレス信号を出力する。

【0016】

図2は、図1に示したメモリセルアレイ4及びビット線制御部8の構成を示す図である。図示するように、メモリセルアレイ4は、mワード×nビット分のメモリセルMC(i, j)（但し、iは1～m、jは1～nの整数である。）で成る。各メモリセルMCの構成は同じである。i行目に並ぶメモリセルMC(i, 1)～MC(i, n)には、アドレスデコーダ7の出力するワードライン信号WL_iの他、マッチ線制御回路11の出力するマッチ線信号ML_iが入力される。ビット線制御部8は、合計でn個のビット線制御回路8(1)～8(n)で成る

。各ビット線制御回路 8 (1) ~ 8 (n) は、j 列目に並ぶメモリセル MC (1 , j) ~ MC (m , j) のビット線 B L j 及び / B L j の値を制御する。

【 0 0 1 7 】

図 3 は、セルプレート電位が $1/2 V_{cc}$ に設定されたデータ保存用のキャパシタと、当該キャパシタに記憶しているデータの一致検出回路を備えるメモリセル MC (i , j) の構成を示す図である。メモリセル MC (i , j) は、 $1/2 V_{cc}$ の印加される 2 個の直列に接続されたキャパシタ 3 0 及び 3 1 においてデータの保持を行う。キャパシタ 3 0 の $1/2 V_{cc}$ が印加される側の反対の側に位置する記憶ノード N_1 は、NMOS トランジスタ 3 2 のソースに接続される。NMOS トランジスタ 3 2 のドレインは、ビット線 B L j に接続され、ゲートはワードライン W L i に接続される。キャパシタ 3 1 の $1/2 V_{cc}$ の印加される側の反対の側に位置する記憶ノード N_2 は、NMOS トランジスタ 3 3 のドレインに接続される。NMOS トランジスタ 3 3 のゲートは、ワードライン W L i に接続され、ソースはビット線 / B L j に接続される。上記 2 つのキャパシタ 3 0 , 3 1 と 2 つの NMOS トランジスタ 3 2 , 3 3 で、周知のダイナミック型のメモリセルが構成される。

【 0 0 1 8 】

更に、メモリセル MC (i , j) は、ビットデータ毎の一致検出機能を実現するため、2 つのキャパシタ 3 0 及び 3 1 の記憶ノード N_1 , N_2 が各ゲートに接続された 2 つの NMOS トランジスタ 3 4 及び 3 5 を備える。

【 0 0 1 9 】

NMOS トランジスタ 3 4 のドレインは、ビット線 B L j に接続され、ソースは、NMOS トランジスタ 3 5 のドレインに接続されている。NMOS トランジスタ 3 5 のソースは、ビット線 / B L j に接続されている。また、NMOS トランジスタ 3 4 のソース及び NMOS トランジスタ 3 5 のドレインは、NMOS トランジスタ 3 6 のドレインに接続されている。NMOS トランジスタ 3 6 のゲート及びソースは、何れもマッチ線 M L i に接続されている。

【 0 0 2 0 】

上記構成のメモリセル MC (i , j) に対するデータの書き込みは、以下の手

順で行われる。まず、マッチ線MLiをLowレベルの電位にしてトランジスタ36をオフの状態に切り換えた後、ワードラインWLiをHighレベルの電位にすると共に、ビット線BLの電位を書き込みを行うデータ信号の電位を同じに設定し、ビット線／BLを反転信号の状態に設定する。これによりビット線BL、／BLの電位がキャパシタ30、31に格納される。この後、ワードラインWLiの電位をLowレベルに切り換え、データの書き込みを終了する。

【0021】

データの読出しは、以下の手順で行われる。まず、ビット線BL及びビット線／BLの電位をLowレベルにし、ワードラインWLiの電位をLowレベルにした後に、マッチ線MLiの電位をHighレベルに切り換える。例えば、キャパシタ30に電荷が充填されている場合、トランジスタ34がオンの状態に切り換え、ビット線BLjがHighレベルの状態に切り換る。この場合、ビット線／BLjは、Lowレベルの電位を維持する。他方、キャパシタ31に電荷が充填されている場合、トランジスタ35がオンの状態に切り換え、ビット線／BLjがHighレベルの状態に切り換る。この場合、ビット線BLjは、Lowレベルの電位を維持する。

【0022】

記憶しているデータと検索データとの一致検出は、以下の手順で行う。まず、ビット線BLj、／BLj、及び、マッチ線MLiを全てHighレベルの電位状態にする。例えば、キャパシタ30に電荷が充填されている状態で、ビット線BLjにHighレベルの信号を流し、ビット線／BLjにLowレベルの信号を流した場合、トランジスタ34及び35はオフのままの状態を保ち、この結果、マッチ線MLiもHighレベルの電位状態を保つ。

【0023】

他方、ビット線BLjにLowレベルの信号を流し、ビット線／BLjにHighレベルの信号を流した場合、トランジスタ34はオンの状態に切り換え、トランジスタ35はオフの状態に切り換え、マッチ線MLiはトランジスタ34及び36を介して放電される。この結果、マッチ線MLiはLowレベルの電位状態に変化する。このように、検索データ信号に基づく電位の信号をビット線BL

j 及び \overline{BLj} に流してマッチ線 MLi の電位変化を見ることにより、検索データとメモリセルに記憶していたデータとの一致／不一致を判断することができる。

【 0 0 2 4 】

上記データの書き込み、読出し、一致検出処理は、全て、トランジスタ 3 4 のゲートへの印加電圧が High レベル（又は Low レベル）の場合、トランジスタ 3 5 のゲートへの印加電圧が Low レベル（又は High レベル）であることが必要である。しかし、電源電圧 $1/2 V_{cc}$ の起動に伴い、キャパシタ 3 0, 3 1 のセルプレート電位も上昇し、キャパシタ 3 0, 3 1 のカップリング効果によりトランジスタ 3 4 及び 3 5 のゲートに $1/2 V_{cc}$ 又はこれに近い値が印加される可能性もある。この場合、トランジスタ 3 4 及び 3 5 のドレイン・ソースの間が通電状態となり、ビット線 BLj 及びビット線 \overline{BLj} の間で貫通電流が流れ得ることになる。具体的には、ビット線制御回路からビット線 BLj に 5 V、ビット線 \overline{BLj} に 0 V が印加されている場合であっても、上記貫通電流のため、例えば、ビット線 BLj の電位が 4 V、ビット線 \overline{BLj} の電位が 1 V になってしまう。この状態で、上記データの書き込みを行えば、キャパシタ 3 0 及び 3 1 への適切な電荷の充填が行われなくなることになる。更には、この状態でデータの読み出しを行えば、トランジスタ 3 6 からトランジスタ 3 4 及び 3 5 の何れにも電流が流れ込むことになり、正確なデータの読み出しができないことになる。更には、一致検出処理を行えば、ビット線 BLj とビット線 \overline{BLj} の両方に電荷が流れ込むことが考えられ、誤った一致検出処理が行われることになる。

【 0 0 2 5 】

この問題に対処すべくダイナミック型連想メモリ装置 1 0 0 では、メモリセルアレイ 4 の前段に電源投入後、外部から入力されるリセット信号 RST に応じて、上記 NMOS トランジスタ 3 4 及び 3 5 が共にオンの状態に切り換ってビット線 BL とビット線 \overline{BL} 間を通電状態にすることがないように、キャパシタ 3 0 及びキャパシタ 3 1 の少なくとも一方の記憶ノードの電位を 0 V に修正するメモリセル初期化回路 1 2 を備える。

【 0 0 2 6 】

図 4 は、メモリセル初期化回路 1 2 の回路構成を詳細に示す図である。ワードライン切換回路 C 1 として機能する m 個の 2 入力 OR ゲート 1 2 a, 1 2 b, … 1 2 c は、一方の信号入力端子にアドレスデコーダ 7 より伸びる m 本のワードライン WL 1 ~ WL m の各々を接続し、他方の信号入力端子はリセット信号入力端子 1 2 z に接続されている。外部から H i g h レベルのリセット信号が入力されている間、m 個の OR ゲート 1 2 a, 1 2 b, … 1 2 c は、全てのワードライン WL 1 ~ WL m を H i g h レベルに切り換える。

【 0 0 2 7 】

ビット線 B L 切換回路 C 2 として機能する n 個の NMOS トランジスタ 1 2 d, 1 2 e, … 1 2 f は、ドレインがビット線 B L に接続され、ゲートがリセット信号入力端子 1 2 z に接続され、ソースが接地されており、リセット信号入力端子 1 2 z へ H i g h レベルのリセット信号が出力されている間、ビット線 B L 1, B L 2, … B L n を接地させる。

【 0 0 2 8 】

ビット線 / B L 切換回路 C 3 として機能する n 個の PMOS トランジスタ 1 2 h, 1 2 i, … 1 2 j は、ドレインにビット線 / B L 1, / B L 2, … / B L n が接続され、ゲートにインバータ 1 2 g を介してリセット信号入力端子 1 2 z が接続され、ソースに電源が接続されている。H i g h レベルのリセット信号が反転入力されている間、各 PMOS トランジスタ 1 2 h, 1 2 i, … 1 2 j は、ビット線 / B L 1, / B L 2, … / B L n に電源電圧 V c c を供給する。

【 0 0 2 9 】

図 5 は、電源投入後、外部から入力される H i g h レベルのリセット信号 R S T と、これに応じて変化するワードライン信号 WL 1 ~ WL m とビット線 B L, / B L の信号レベルを表す図である。図示するように、リセット信号 R S T が立ち上がってから一斉にワードライン WL 1 ~ WL m が H i g h レベルに切り換わり、ビット線 B L 1 ~ B L n が L o w レベルに設定される。ビット線 / B L 1 ~ / B L n は、H i g h レベルのままを維持する。これにより、例えば、図 3 に示したメモリセル MC (i, j) では、キャパシタ 3 0 は、完全に放電され、キャパシタ 3 1 に電荷が完全に充填される。当該手法により各メモリセルに “L” のデ

ータを書き込むことにより、電源の立ち上げ時に上昇した記憶ノードの電位を修正してビット線BLとビット線／BL間が通電状態になるのを防ぐ。これにより以後のデータの書き込み、読み出し、一致検出処理を正確に実行することができる。

【0030】

(3) 実施の形態2

図6は、実施の形態2に係るダイナミック型連想メモリ装置が備えるメモリセル初期化回路12'の構成を示す図である。実施の形態1に係るメモリセル初期化回路12と同じ構成物には同じ参照番号を付して、ここでの重複した説明は省く。

【0031】

メモリセル初期化回路12'は、メモリセル初期化回路12が備えていたビット線／BL切換回路C3の代わりに、ビット線／BL切換回路C4としてリセット信号がゲートに印加され、Highレベルのリセット信号の入力に応じてビット線／BL1～／BLnを接地させるn個のNMOSトランジスタ12k, 12l, … 12mを備え、更に、電源の投入に伴いリセット信号を生成するリセット信号生成回路12nを備える。

【0032】

リセット信号発生回路12nは、1個の2入力ANDゲート12oで成り、一方の信号入力端子は電源に接続され、他方の信号入力端子は奇数段、例えば3段のインバータ12p, 12q, 12rを介して電源に接続されている。上記構成のリセット信号発生回路12nは、電源の投入に伴い、Highレベルのリセット信号を上記3つのインバータ12p, 12q, 12rによる遅延時間の期間だけ出力する。なお、電源とリセット信号発生回路12nの間に遅延回路又はタイマーを設け、電源の投入後、一定時間が経過するのを待ってから、上記リセット信号発生回路12nへの電力の供給を開始するようにしても良い。

【0033】

図7は、起動に伴いリセット信号発生回路12nから出力されるパルス信号と、これに応じて変化するワードラインの信号WL1～WLm、ビット線BL1～

BLn, ビット線/BL1~/BLnの信号レベルを表す図である。図示するように、Highレベルのリセット信号が出力されてから一斉にワードラインWL1~WLmがHighレベルに切り換り、ビット線BL1~BLn及びビット線/BL1~/BLnがLowレベルに切り換る。当該構成を採用することにより、上記メモリセルMC(i, j)の2つのキャパシタ30及び31(図3を参照)を完全に放電し、ビット線BLと/BL間を結ぶ2つのトランジスタ34, 35をオフにすることで貫通電流が流れることを、より確実に防止することができる。

【0034】

(4) 実施の形態3

図8は、実施の形態3に係るダイナミック型連想メモリ装置の備えるメモリセル初期化回路12”の構成を示す図である。実施の形態1に係るメモリセル初期化回路12と同じ構成物には同じ参照番号を付して、ここでの重複した説明は省く。

【0035】

メモリセル初期化回路12”では、メモリセル初期化回路12のビット線BL切換回路C2及びビット線/BL切換回路C3を除去し、代わりに、Highレベルのリセット信号の入力に応じてセンスアンプを含むビット線制御回路8(1)~8(n)を制御するセンスアンプ制御回路C5を備える。

【0036】

センスアンプ制御回路C5の構成の説明をする前に、ビット線制御回路8(1)~8(n)の構成を説明しておく。ビット線制御回路8(1)~8(n)は全て同じ構成である。図8は、ビット線制御回路8(1)の構成のみを詳細に示し、他の回路8(2)~8(n)を省略して示す。ビット線制御回路8(1)を構成する読出回路8bは、アレイコントローラ8aより出力される読出信号RTに応じて活性化され、ビット線BL及び/BL上の信号に応じてデータバスDT及び/D Tを駆動する。書込回路8cは、アレイコントローラ8aより出力される書込信号WTに応じて活性化され、データバスDT及び/D T上の信号に応じてビット線BL及び/BLを駆動する。

【 0 0 3 7 】

センスアンプ 8 d は、センスアンプ制御回路 C 5 を介してアレイコントローラ 8 a より出力されるセンスアンプイネーブル信号 S E 及び / S E により活性化され、ビット線 B L とビット線 / B L 間の電位差を増幅し、一方のビット線の電位を H i g h レベルにし、他方のビット線の電位を L o w レベルにする。

【 0 0 3 8 】

ビット線放電回路 8 e は、アレイコントローラ 8 a より出力される H i g h レベルの放電制御信号 B L L に応じてビット線 B L 及び / B L を放電する。ビット線充電回路 8 f は、センスアンプ制御回路 C 5 を介してアレイコントローラ 8 a より出力される H i g h レベルの充電制御信号 B L H に応じてビット線 B L 及び / B L を充電する。

【 0 0 3 9 】

センスアンプ制御回路 C 5 は、3 つの 2 入力 A N D ゲート 1 2 s , 1 2 u , 1 2 v 、及び、1 つの 2 入力 O R ゲート 1 2 t で構成される。A N D ゲート 1 2 s の一方の信号入力端子は、インバータ 1 2 w を介してリセット信号入力端子 1 2 z に接続され、他方の信号入力端子は、アレイコントローラ 8 a のセンスアンプイネーブル信号 / S E の出力端子に接続されている。O R ゲート 1 2 t の一方の信号入力端子は、リセット信号入力端子 1 2 z に接続され、他方の信号入力端子は、アレイコントローラ 8 a のセンスアンプイネーブル信号 S E の出力端子に接続されている。A N D ゲート 1 2 u の一方の信号入力端子は、インバータ 1 2 w を介してリセット信号入力端子 1 2 z に接続され、他方の信号入力端子は、アレイコントローラ 8 a の放電制御信号 B L L の出力端子に接続されている。A N D ゲート 1 2 v の一方の信号入力端子は、インバータ 1 2 w を介してリセット信号入力端子 1 2 z に接続され、他方の信号入力端子は、アレイコントローラ 8 a の充電制御信号 B L H の出力端子に接続されている。

【 0 0 4 0 】

上記構成のセンスアンプ制御回路 C 5 では、H i g h レベルのリセット信号の入力に応じて、センスアンプイネーブル信号 S E を H i g h レベルに切り換え、センスアンプイネーブル信号 / S E を L o w レベルに切り換え、放電制御信号 B

L L 及び充電制御信号 B L H を L o w レベルに設定する。

【 0 0 4 1 】

図 9 は、外部からの H i g h レベルのリセット信号 R S T の入力に応じてメモリセル初期化回路 1 2” 内で生成されるセンスアンプイネーブル信号 S E, / S E の電位レベル、ビット線 B L、/ B L の電位レベル、放電制御信号 B L L、充電制御信号 B L H、ワードライン信号 W L 1 ~ W L m の様子を表す図である。図示するように、H i g h レベルのリセット信号 R S T の入力と共に、各ワードライン信号 W L 1 ~ W L m は H i g h レベルに切り換り、ビット線 B L を H i g h レベルに、ビット線 / B L を L o w レベルに設定することができる。これにより、ビット線 / B L 側のキャパシタ 3 1 の電荷を完全に放電することができ、ビット線 B L と / B L 間が通電するのを確実に防止することができる。

【 0 0 4 2 】

【発明の効果】

本発明のメモリ装置ではメモリ初期化回路の働きにより、データ保存用のキャパシタのセルプレート電位が電源投入により上昇し、キャパシタのカップリング効果により上記キャパシタの電源供給側とは反対側に位置する記憶ノードの電位が上昇しても、ビット線 B L とビット線 / B L の間が通電するのを防止することができる。これにより、例えば、以降のデータの書き込み時にビット線 B L とビット線 / B L との間に貫通電流が流れるのを防止する等、誤動作が生じるのを防止することができる。

【図面の簡単な説明】

【図 1】 実施の形態 1 に係るダイナミック型連想メモリ装置が備えるメモリセル初期化回路のブロック構成図である。

【図 2】 メモリセルアレイ内の構成を示す図である。

【図 3】 データの一致検出処理機能付きのダイナミック型メモリセルの構成を示す図である。

【図 4】 メモリ初期化回路の構成を示す図である。

【図 5】 メモリ初期化回路内の信号の状態を示すタイムチャートである。

【図 6】 実施の形態 2 に係るダイナミック型連想メモリ装置の備えるメモ

リセル初期化回路の構成を示す図である。

【図 7】 メモリ初期化回路内の信号の状態を示すタイムチャートである。

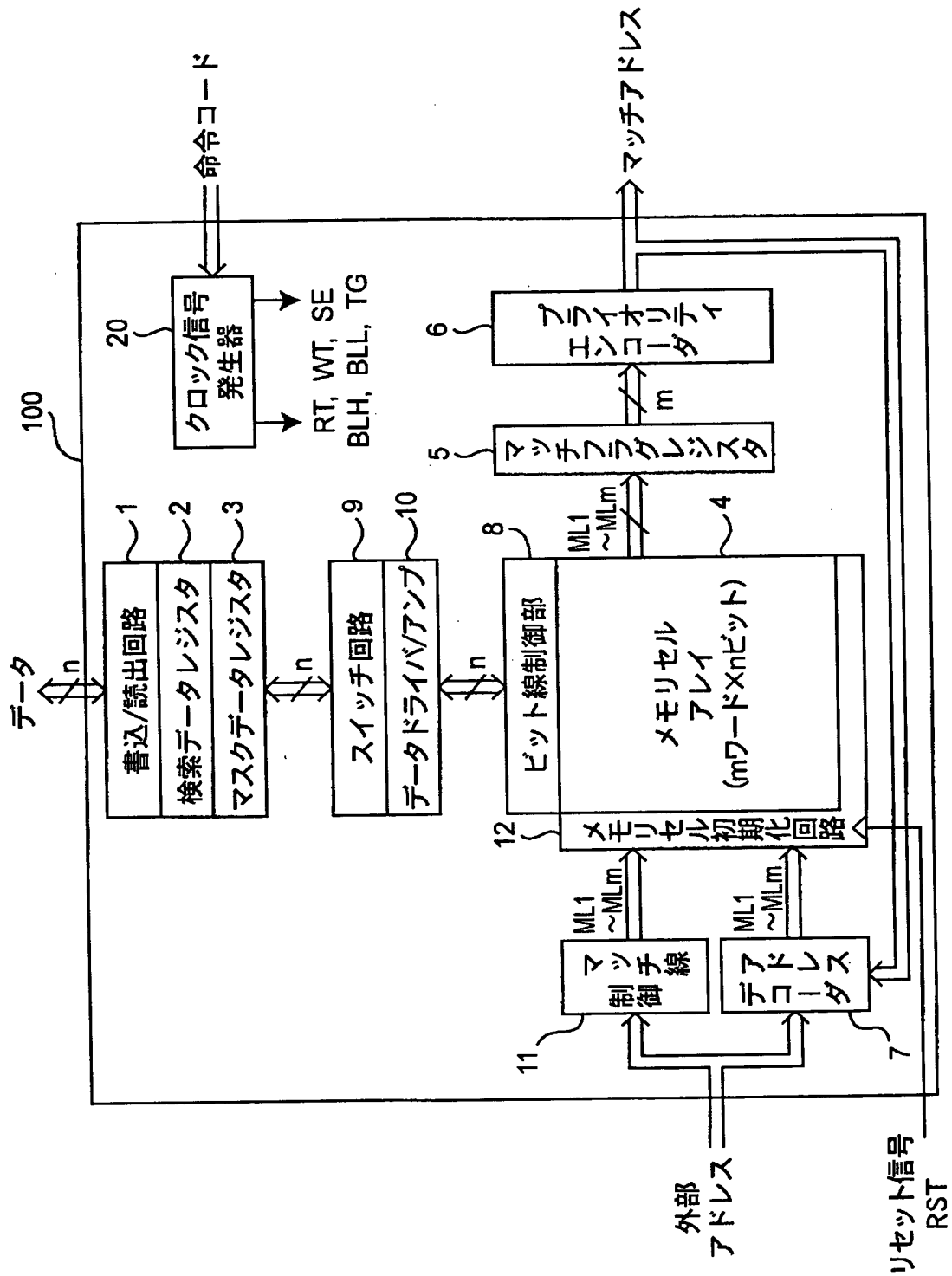
【図 8】 実施の形態 3 に係るダイナミック型連想メモリ装置の備えるメモリ初期化回路の構成を示す図である。

【図 9】 メモリ初期化回路内の信号の状態を示すタイムチャートである。

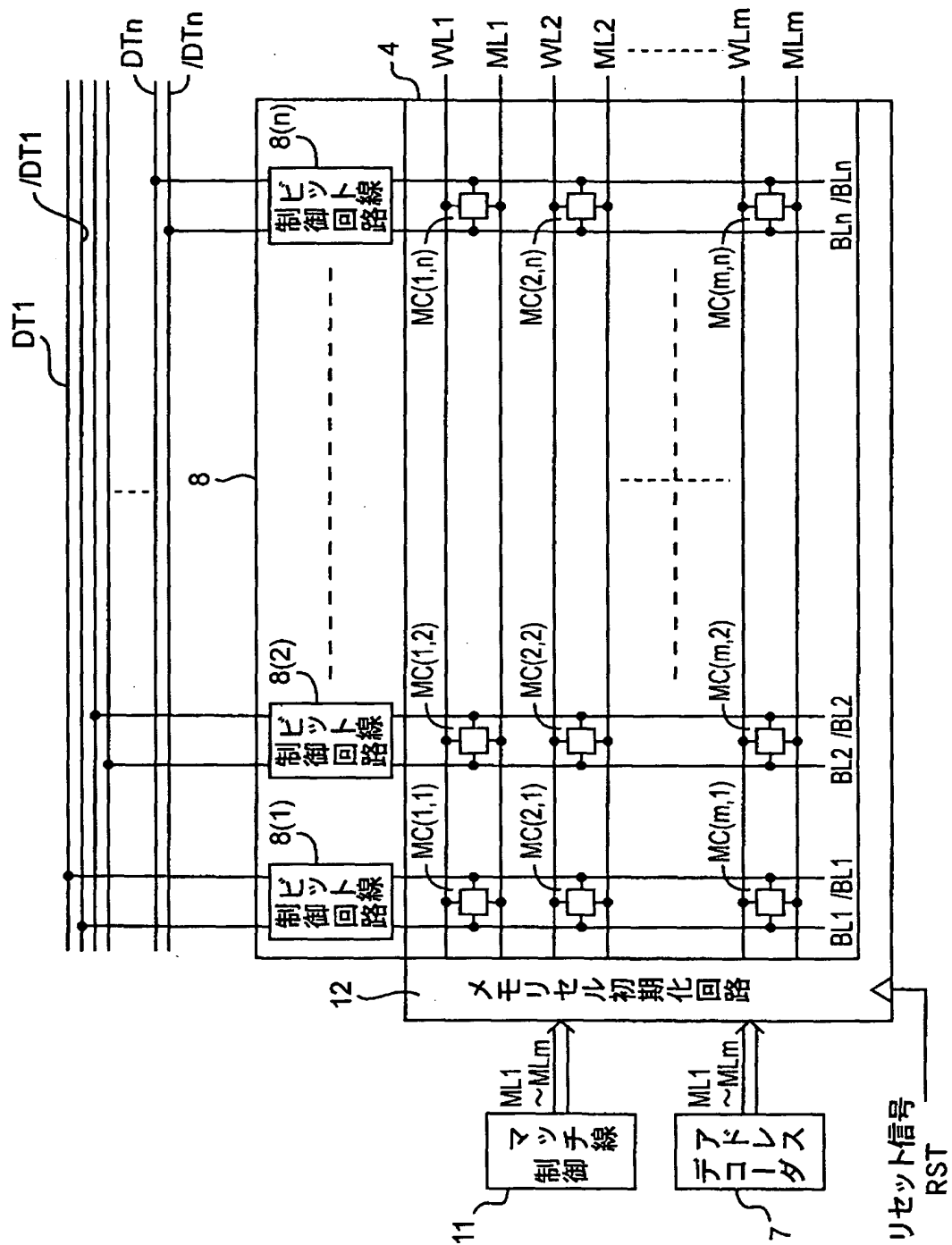
【符号の説明】 7 アドレスデコーダ、8 ビット線制御回路、11 マッチ線制御、12, 12', 12'' メモリセル初期化回路、30, 31 キャパシタ、32, 33, 34, 35, 36 NMOSトランジスタ、100 ダイナミック型連想メモリ装置。

【書類名】 図面

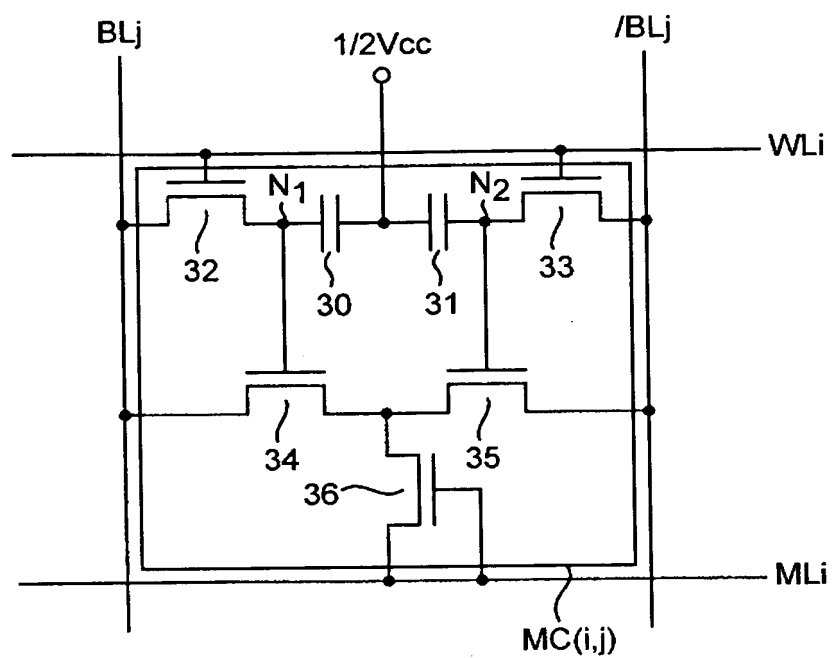
【図 1】



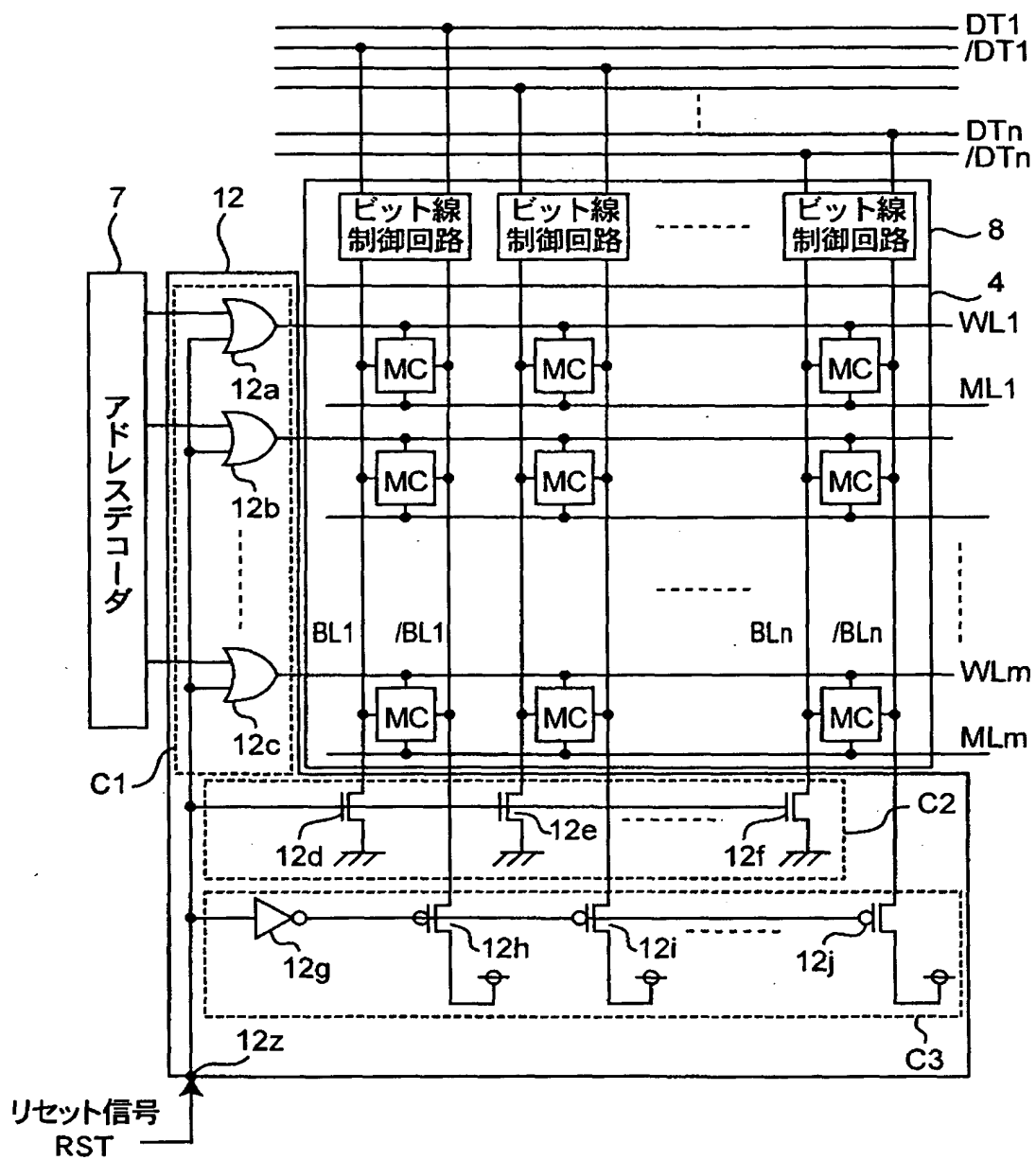
【図2】



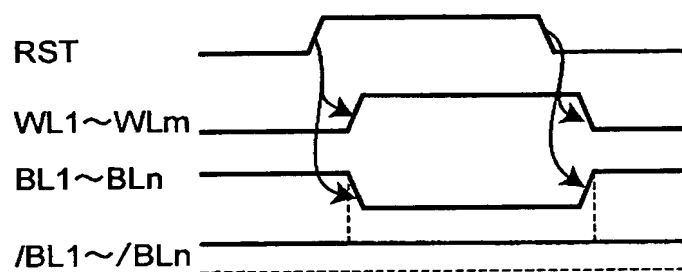
【図 3】



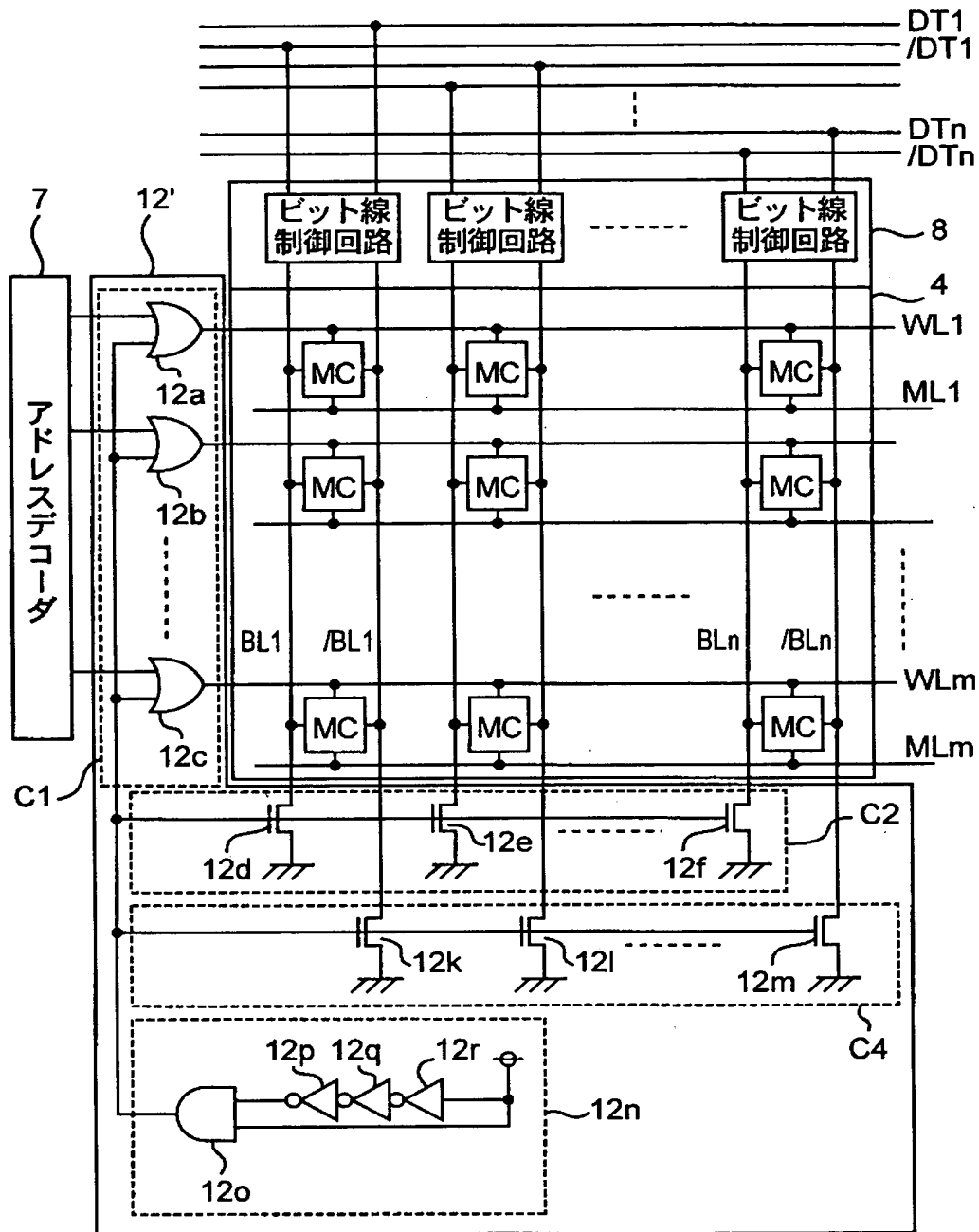
【図 4】



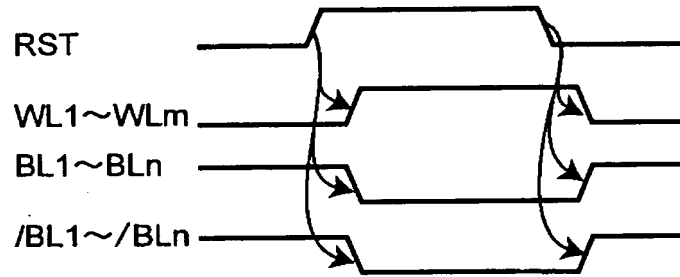
【図 5】



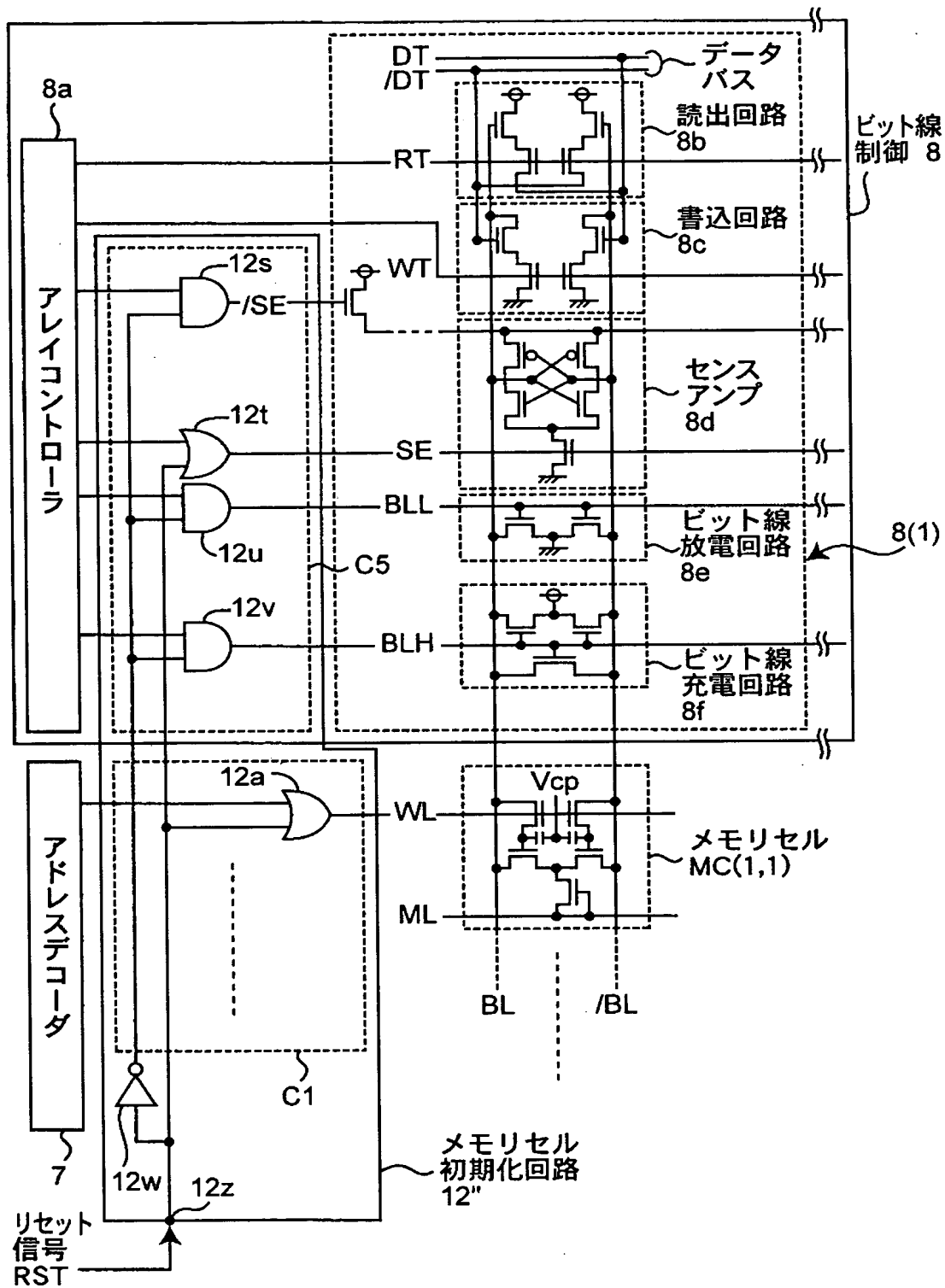
【図 6】



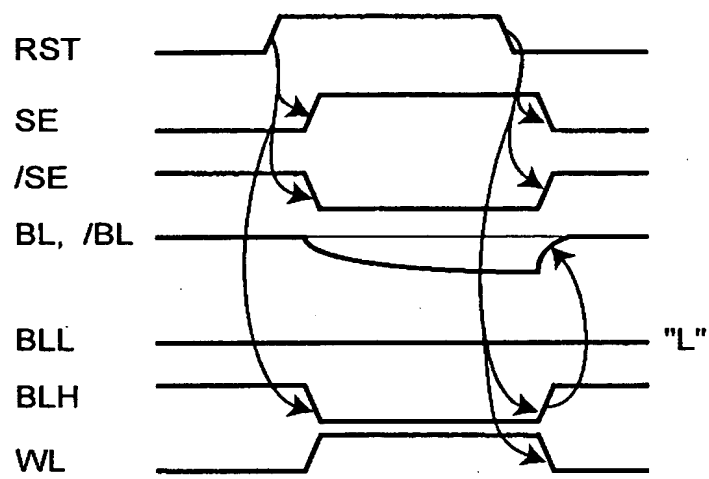
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 データの書き込みの誤動作を防止し得る機能を備えたメモリ装置を提供する。

【解決手段】 本発明のメモリ装置は、ワードラインの活性化によりオンの状態に切り換る第1トランスファークゲートを介してビット線BL又はビット線／BLに接続され、電源に応じた電圧の供給されるセルプレートに有するデータ保存用のキャパシタと、上記キャパシタの電圧供給側と反対の側に位置する記憶ノードの電位に応じてオンの状態になる1以上の第2トランスファークゲートが、ビット線BLとビット線／BLの間に直列に接続される構成をとるメモリセルで成るメモリセルアレイを用いるメモリ装置において、外部又は内部において生成されるリセット信号に応じて、上記1以上の第2トランスファークゲートの内、少なくとも1つのトランスファークゲートをオフの状態にするように、記憶ノードの電位を制御するメモリセル初期化回路を備えることを特徴とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社